

PAT-NO: JP401093141A  
DOCUMENT-IDENTIFIER: JP 01093141 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR INTEGRATED  
CIRCUIT  
PUBN-DATE: April 12, 1989

INVENTOR-INFORMATION:  
NAME  
MATSUNO, SHUNJI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP62250503

APPL-DATE: October 2, 1987

INT-CL (IPC): H01L021/66, H01H037/76 , H01L021/60

US-CL-CURRENT: 29/854, 438/128 , 438/FOR.382

ABSTRACT:

PURPOSE: To facilitate the item discrimination by a method wherein a bus bar comprising a conductive film in specified size is laid down along the periphery of a chip of a semiconductor wafer or on a scribe line to provide multiple fuses along the bus bar.

CONSTITUTION: Signal terminals 2, 4 to be outer terminals and a specific additional power supply terminal 3 are arranged along the periphery of a chip 1 whereon an IC is formed. Besides, a bus bar is laid down on the lower side of the chip 1 to be connected to the terminals 4 to be 1, 2, 4, 7, 8, 10th terminals. In other words, total ten terminals as two side code are

enabled to  
specify 1024 kinds of items. Next, while bringing probes connected  
to tester  
into contact with respective terminals, the terminal 3 is supplied  
with feeble  
current to detect respective currents of ten terminals 4 so that the  
terminals  
4 connected to the bus bar 6 may be assumed as '1' by the running  
current while  
the other terminals may be assumed as '0' by the no running current.  
Through  
these procedures, the items can be discriminated by the binary codes  
thus  
assumed to break down a fuse 5 after finishing the discrimination.

COPYRIGHT: (C)1989, JPO&Japio

## ⑫ 公開特許公報(A)

平1-93141

⑤Int.Cl.

識別記号

庁内整理番号

⑬公開 平成1年(1989)4月12日

H 01 L 21/66

F-6851-5F

H 01 H 37/76

7346-5G

H 01 L 21/60

Z-6918-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭発明の名称 半導体集積回路の製造方法

⑮特 願 昭62-250503

⑯出 願 昭62(1987)10月2日

⑰発 明 者 松 野 峻 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲代 理 人 弁理士 内 原 晋

## 明 細 書

発 明 の 名 称

半導体集積回路の製造方法

特 許 請 求 の 範 囲

半導体ウェーハのチップの周辺部又はスクライプ線上に所定寸法の導電膜からなる母線を敷設する工程と、前記母線に沿って配置された複数の外部端子を選択して前記母線に短絡するヒューズを設ける工程と、前記外部端子と前記母線間の導通をチェックして得られる品種信号によりチップの品種を判別する工程と、前記ヒューズを溶断する工程とを含むことを特徴とする半導体集積回路の製造方法。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体集積回路の製造方法に関し、特にウェーハ状態での良品チップ選別テスト時に自

動的にチップの品種を読み取る技術に関する。

(従来の技術)

従来この種の技術は、チップ上に品種信号を出力する端子を特別に追加し、その出力信号で読み取って品種の判別を行っていた。品種の判別に必要な品種信号のビット数だけの外部配線端子を設けるわけである。

(発明が解決しようとする問題点)

近年において特に電子装置部品はASIC(アプリケーション・スペシフィックIC)-特定用途向けIC-化が進み、品種数は非常な勢いで増えている。このような状況において、上述した従来の技術では非常に多くの端子を特別に追加することになり、一般にチップ上で端子エリアの占める割合は大きいと、チップ面積が非常に大きくなってしまふという欠点があった。

(問題点を解決するための手段)

本発明の半導体集積回路の製造方法は、半導体ウェーハのチップの周辺部又はスクライプ線上に所定寸法の導電膜からなる母線を敷設する工程

と、前記母線に沿って配置された複数の外部端子を選択して前記母線に短絡するヒューズを設ける工程と、前記外部端子と前記母線間の導通をチェックして得られる品種信号によりチップの品種を判別する工程と、前記ヒューズを溶断する工程とを含むものである。

#### 〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を説明するためのチップの平面模式図である。

チップ1上には集積回路が形成されており、辺にそって外部端子として信号端子2、4及び特別の追加電源端子3が配置されている。このチップの下辺部に母線6を敷設する。信号端子4（図中ハッチング線入りの端子）は10本あって、2辺コードとなっており、1024種類の品種を特定できる。本実施例では、図中左により1、2、4、7、8、10番目の端子4からヒューズ5で母線6に接続し、2進コード1101001101が得られ

る。母線6は全体が電気抵抗が低くなるように幅の広い配線で形成し、追加電源端子3をその一端に有している。

次に、品種を判別するため、テスターに接続されたプローブ針で各端子に接触し、追加電源端子3に微弱電流（数 $\mu$ A程度）を流し、10本の信号端子4で各々電流を検知する。前述のように母線6と接続されている信号端子4では電流が検知されるので、“1”と判定しその他の信号端子4では検知されないで“0”と判定する。

その結果、2進コード1101001101を得、本実施例の品種を判別することができる。品種の判別が終ると、IC本来の機能動作の障害となるヒューズ5を溶断するため、追加電源端子3を0ボルトにし、前述で“1”と判定された信号端子4から所定の定電流（本実施例は一般的なCMOS回路であるとし、出力バッファの許容電流値と等しい20mAとする）を流し込む。このとき付加電圧限界を1V（一般のCMOS回路では5V程度まで問題ない）としておけばヒューズ5が溶断すれ

ば、該信号端子4の電圧値が1Vに上昇し、溶断が確認される。そしてこの時の付加電流及び電圧では信号端子4に接続されている本来の機能回路に障害を与えることはない。通常のCMOS回路ではアルミニウムで配線が行われており、ヒューズを厚み1 $\mu$ m、幅1 $\mu$ m、長さ $l$ （ $\mu$ m）のアルミニウム配線で形成する。アルミニウム配線抵抗を27m $\Omega$ /□とすると、

$$Q = 0.24 R I^2, \quad T = Q \div M \cdot C$$

ここで、Q：発熱量（カロリー／秒）、R：抵抗（ $\Omega$ ）、I：電流（A）、T：温度上昇（ $^{\circ}\text{C}$ ／秒）、M：質量（g）、C：比熱（カロリー／g・ $^{\circ}\text{C}$ ）。

の関係式から、アルミニウムでは $C = 0.23$ （カロリー／g・ $^{\circ}\text{C}$ ）、比重=0.27、融点=660 $^{\circ}\text{C}$ であることにより、ヒューズ5での温度上昇を計算すると、

以下余白

$$\begin{aligned} T &= Q \div M \cdot C = 0.24 R I^2 \div M \cdot C \\ &= \frac{0.24 \times (27 \times 10^{-3} \times l) \times (20 \times 10^{-3})^2}{2.7 \times (10^{-4} \times 10^{-4} \times l \times 10^{-4}) \times 0.23} \\ &= 4.2 \times 10^6 \text{ } ^{\circ}\text{C} / \text{秒} \end{aligned}$$

となる。アルミニウム融点は約660 $^{\circ}\text{C}$ であるので、1ミリ秒足らずで溶断してしまう。このとき母線6は十分広い幅（例えば10 $\mu$ m）を持っているので、先にヒューズ5が溶断し、母線6はほとんど影響を受けない。

最終的には追加電源端子3のみが余分な外部端子として残るのみであるからチップ面積の増大は殆どないといえる。

第2図は本発明の第2の実施例を説明するための半導体ウェーハの平面模式図である。本実施例では母線6をチップとチップ間のスクライブ線8上に設けること及び第1の実施例の追加電源端子3の代りに母線6の一部に電源端子部7を設けることに特色がある。その他については第1の実施例の同じであるので詳細説明を省略する。

この実施例は、チップ面積は品種信号を利用し

ない場合と同じになる利点がある。

部、8…スクライプ線。

〔發明の效果〕

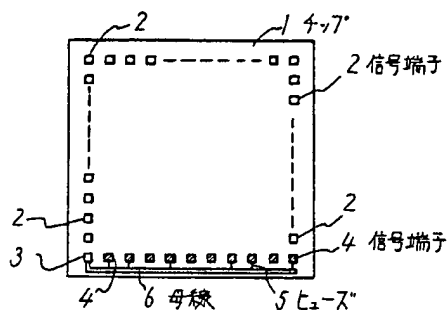
代理人 弁理士・内 原 晋

以上説明したように本発明はチップ上の通常の信号端子を利用して、品種に対応して所定の信号端子をヒューズで母線に接続することにより、2進コード信号として読み取ることができ、品種判別ができると共に判別後に本来の機能動作に障害となるヒューズを容易に取り除くことができ、最終的には、品種判別のために必要となる特別の端子はゼロないし1本のみであるので、多数の端子を用いることが可能であり、チップ面積の増大を殆んどともなわずに多くの品種判別が可能となるという効果がある。

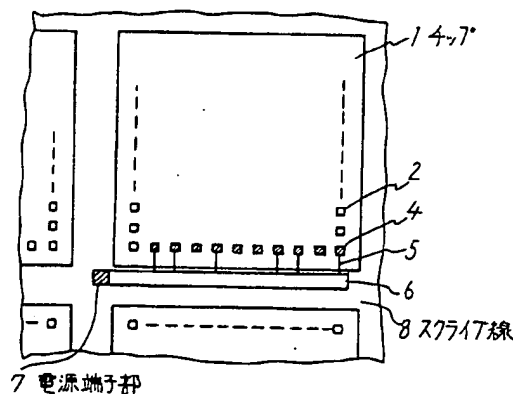
### 図面の簡単な説明

第 1 図及び第 2 図はそれぞれ本発明の第 1 及び第 2 の実施例を説明するための平面模式図である。

1…チップ、2, 4…信号端子、3…追加電源  
端子、5…ヒューズ、6…母線、7…電源端子



第 1 圖



第 2 回